

Patent Number: DE10063102
 Publication date: 2001-08-23
 Inventor(s): BEER PETER (DE); OHLHOFF CARSTEN (DE)
 Applicant(s): INFINEON TECHNOLOGIES AG (DE)
 Requested Patent: DE10063102
 Application Number: DE20001063102 20001218
 Priority Number(s): DE20001063102 20001218; DE19991061107 19991217
 IPC Classification: G01R31/28; G11C29/00; G01R31/3193
 EC Classification: G01R19/165; G01R31/316F
 Equivalents:

Abstract

Data supplied from the esp@cenet database - I2

Description

Die vorliegende Erfindung betrifft eine Anordnung zur Messung interner Spannungen in einer integrierten Halbleitervorrichtung.

In integrierten Halbleitervorrichtungen, wie beispielsweise Speicherchips usw., werden verschiedene interne Spannungen benötigt, die Werte von z. B. 2,3 V, 3,5 V, 0,9 V usw. haben können. Diese internen Spannungen einer integrierten Halbleitervorrichtung müssen vor deren Auslieferung überprüft werden, um einen zuverlässigen Betrieb der integrierten Halbleitervorrichtung gewährleisten zu können. Hierzu werden bisher Tester eingesetzt, in denen jeweils eine Gleichspannungseinheit ("DC Unit") vorgesehen ist, die eine bekannte Gleichspannung (Referenzspannung) an die Halbleitervorrichtung, also beispielsweise einen Speicherchip, anlegt und gleichzeitig die zu überprüfende interne Spannung, im obigen Beispiel die Spannungen von 2,3 V, 3,5 V oder 0,9 V, an einem dafür geeigneten Pad (Kontaktkissen) der Halbleitervorrichtung misst.

Die zu überprüfenden Halbleitervorrichtungen, auch DUTs ("Device Under Test") genannt, benötigen nun bei Parallelmessungen so viele Gleichspannungseinheiten wie DUTs vorhanden sind: jedem DUT ist für die Parallelmessung seine eigene Gleichspannungseinheit zugeordnet.

Sollen die internen Spannungen einer Vielzahl von Halbleitervorrichtungen, wie beispielsweise von SDRAMs, überprüft werden, so ist für ein paralleles Messen, was Voraussetzung für eine kurze Messzeit ist, eine ebenso grosse Anzahl von Gleichspannungseinheiten in dem Tester erforderlich, was diesen äusserst aufwendig macht.

Es ist daher Aufgabe der vorliegenden Erfindung, eine Anordnung zur Messung interner Spannungen in einer integrierten Halbleitervorrichtung zu schaffen, mit der mit geringem Aufwand eine Vielzahl von solchen integrierten Halbleitervorrichtungen parallel gemessen werden kann.

Diese Aufgabe wird bei einer Anordnung der eingangs genannten Art erfindungsgemäss dadurch gelöst, dass in der Halbleitervorrichtung ein Vergleichsvorgang vorgesehen ist, an dessen einem Eingang die zu messende interne Spannung liegt, dessen anderer Eingang mit einer von einem externen Tester gelieferten Referenzspannung beaufschlagt ist und dessen Ausgang mit dem externen Tester verbunden ist, der meldet, ob die interne Spannung mit der Referenzspannung übereinstimmt oder nicht. Dabei kann die Referenzspannung dem Vergleichsvorgang in diskreten Spannungsschritten oder als Rampensignal zugeführt werden.

Die Erfindung geht damit einen vom bisherigen Stand der Technik vollkommen abweichenden Weg: der Vergleichsvorgang, der die zu messende interne Spannung (V_{int}) mit einer Referenzspannung (V_{ref}) vergleicht, ist in die Halbleitervorrichtung, also das DUT, verlagert, so dass eine Vielzahl von Halbleitervorrichtungen bzw. DUTs ohne weiteres parallel gemessen werden kann, indem die eine extern zugeführte Referenzspannung mit der entsprechenden internen Spannung der jeweiligen Halbleitervorrichtungen verglichen wird. Der zusätzliche Aufwand

für den Vergleich ist relativ gering und erfordert nur wenig Fläche auf der integrierten Halbleitervorrichtung.

Die Referenzspannung wird über ein Pad bzw. Kontaktkissen eingeprägt, und diese Referenzspannung sowie die zu messende interne Spannung werden auf die Eingänge des in der Halbleitervorrichtung vorgesehenen Vergleichers geleitet. Der Ausgang dieses Vergleichers wird nach aussen gegeben. Das heisst, die Referenzspannung wird von einem externen Tester geliefert, der auch das Ausgangssignal des Vergleichers aufnimmt. Das Ausgangssignal kann dabei direkt über ein geeignetes Pad an den externen Tester ausgegeben werden. Alternativ könnte auch ein geeignetes Kontrollsignal (z. B. "high" = Vint ist grösser als Vref; "low" = Vint ist kleiner als Vref) über einen der vorhandenen Eingabe/Ausgabe-Kanäle der Halbleitervorrichtung ausgegeben werden.

Liegt nun beispielsweise das Ausgangssignal des Vergleichers auf einem hohen Pegel, so kann dies bedeuten, dass die interne Spannung niedriger als die Referenzspannung ist. Ist dagegen das Ausgangssignal des Vergleichers auf einem niedrigen Pegel, so bedeutet dies, dass die interne Spannung höher als die Referenzspannung ist.

Um nun die interne Spannung zu messen, kann entweder die Referenzspannung in diskreten Spannungsschritten eingeprägt werden, wobei nach jedem Spannungsschritt extern durch den Tester überprüft wird, ob sich die interne Spannung und die Referenzspannung in ihren Werten schon gekreuzt haben. Tritt eine solche Überkreuzung ein, so bedeutet dies, dass die interne Spannung im Rahmen der durch die Schrittweiten gegebenen Genauigkeit mit der externen Referenzspannung übereinstimmt.

Eine andere Möglichkeit besteht darin, die Referenzspannung als Rampensignal dem Vergleich einzuprägen. Dann entspricht die interne Spannung in der Halbleitervorrichtung der Referenzspannung in dem Zeitpunkt, in welchem der Ausgang des Vergleichers eine Überkreuzung zwischen interner Spannung und Referenzspannung meldet.

Bei dem Vergleich handelt es sich in bevorzugter Weise um einen Differenzverstärker. Selbstverständlich kann aber für den Vergleich jede Schaltung gewählt werden, die in der Lage ist, die externe Referenzspannung mit der zu messenden internen Spannung zu vergleichen.

Nachfolgend wird die Erfindung anhand der Zeichnung näher erläutert, in deren einziger Figur ein Blockschaltbild einer Anordnung zur Messung interner Spannungen gezeigt ist.

Ein externer Tester 1 liefert an einem Ausgang eine Referenzspannung Vref zu einem Eingang bzw. Pad einer Halbleitervorrichtung (DUT) 2, in der als Vergleich ein Differenzverstärker 3 integriert ist. Eine zu messende interne Spannung Vint liegt an einem Eingang dieses Differenzverstärkers 3, während die Referenzspannung Vref dem anderen Eingang des Differenzverstärkers 3 zugeführt ist. Das Ausgangssignal des Differenzverstärkers 3 wird über ein entsprechendes Pad zu dem externen Tester 1 geliefert.

Die Referenzspannung Vref kann entweder in diskreten Spannungsschritten als Stufensignal oder als kontinuierliches Rampensignal dem Differenzverstärker 3 eingeprägt werden. Sobald die Referenzspannung Vref die interne Spannung Vint kreuzt, schaltet das Ausgangssignal des Differenzverstärkers 3 von "hoch" nach "niedrig" oder umgekehrt. Damit kann genau eine Übereinstimmung zwischen Referenzspannung und interner Spannung, also auch die Grösse der internen Spannung, festgestellt werden.

Selbstverständlich kann die Referenzspannung parallel an eine Vielzahl von Halbleitervorrichtungen (DUTs) 2 geliefert und deren Ausgangssignale von dem Tester 1 aufgenommen werden. Das heisst, ein paralleles Testen einer Vielzahl von Halbleitervorrichtungen mit nur einer Referenzspannung ist ohne weiteres möglich.

Weiterhin kann auch die von dem Tester 1 gelieferte Referenzspannung variabel gestaltet werden, so dass der Tester 1 beispielsweise Referenzspannungen von 2,3 V, 3,5 V und 0,9 V abgeben kann.

Wird eine Referenzspannung in Spannungsschritten angelegt, so wird die Messgenauigkeit selbstverständlich um so grösser, je kleiner die einzelnen Schritte sind. Eine demgegenüber höhere Genauigkeit lässt sich mit einem Rampensignal als Referenzspannung erzeugen, da dort genau die Überkreuzung zwischen Referenzspannung und interner Spannung gemessen werden kann.

Durch die Anordnung gemäss der Erfindung wird ermöglicht, eine Vielzahl von integrierten Halbleiterchips parallel zu testen. Die Halbleiterchips sind zum Test üblicherweise auf einer Testplatine angeordnet. Der Tester erzeugt durch einen einzigen Spannungsgenerator eine einzige rampenartig verlaufende Referenzspannung, die sämtlichen parallel zu testenden Chips zugeführt wird. Da nur eine begrenzte Anzahl von Spannungsgeneratoren am Tester verfügbar ist, werden dort Ressourcen gespart. Jeder der zu testenden Chips gibt über den chipinternen Vergleich 3 einen digitalen Impuls ab. Zum Empfang dieser digitalen Impulse weist der Tester eine Vielzahl von Eingangskanälen auf. Es ist mit der Erfindung daher problemlos möglich, eine Vielzahl von Chips parallel zu testen.

Beispielsweise beträgt der Sollwert der zu testenden Spannung 2,3 V. Es werden jene Chips für gut befunden, deren interne Spannung in einem Toleranzbereich um 2,3 V herumliegt, beispielsweise von 2,2 V bis 2,4 V. Chips, die ausserhalb dieses Toleranzbereichs liegende interne Spannungen Vint liefern, werden als unbrauchbar verworfen. Gegebenenfalls können in Abhängigkeit von dem Messergebnis chipinterne Spannungsgeneratoren nachjustiert, d. h.

getrimmt, werden. Die Trimmung erfolgt dadurch, dass Referenzelemente innerhalb der Spannungsgeneratoren mit Fuses zu- bzw. weggeschaltet werden. Auf diese Weise wird ein die interne Spannung Vint erzeugender Generator korrigiert, also getrimmt.

Data supplied from the esp@cenet database - I2

Claims

1. Anordnung zur Messung interner Spannungen in einer integrierten Halbleitervorrichtung (2), dadurch gekennzeichnet, dass in der Halbleitervorrichtung (2) ein Vergleichler (3) vorgesehen ist, an dessen einem Eingang die zu messende interne Spannung liegt, dessen anderer Eingang mit einer von einem externen Tester (1) gelieferten Referenzspannung (Vref) beaufschlagt ist und dessen Ausgang mit dem externen Tester (1) verbunden ist, der feststellt, ob die interne Spannung (Vint) mit der Referenzspannung (Vref) übereinstimmt oder nicht.
2. Anordnung nach Anspruch 1, dadurch gekennzeichnet, dass der Tester (1) die Referenzspannung (Vref) dem Vergleichler (3) in diskreten Spannungsschritten zuführt.
3. Anordnung nach Anspruch 1, dadurch gekennzeichnet, dass der Tester (1) die Referenzspannung (Vref) dem Vergleichler (3) als Rampensignal zuführt.
4. Anordnung nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, dass die Referenzspannung (Vref) der Halbleitervorrichtung (2) über ein Pad zugeführt ist.
5. Anordnung nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, dass sich der Ausgang des Vergleichlers (3) von "hoch" nach "niedrig" bzw. umgekehrt ändert, wenn die Referenzspannung (Vref) die interne Spannung (Vint) im Differenzverstärker (3) kreuzt.
6. Anordnung nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, dass der Vergleichler (3) ein Differenzverstärker ist.
7. Anordnung nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, dass eine Vielzahl von Halbleitervorrichtungen (2) parallel zu dem Tester (1) geschaltet ist.
8. Verfahren zum Testen einer Vielzahl von integrierten Halbleiterbausteinen (2) auf Funktionsfähigkeit, bei dem die integrierten Halbleiterbausteine (2) bezüglich eines Eingangs für die zuzuführende Referenzspannung (Vref) parallel geschaltet werden und bei dem die interne Spannung (Vint) jedes Halbleiterbausteins (2) mit der Referenzspannung (Vref) verglichen wird, um die Höhe der internen Spannung (Vint) zu messen, und bei dem in Abhängigkeit von der gemessenen internen Spannung (Vint) der Halbleiterbaustein (2) als funktionsfähig oder nicht funktionsfähig gekennzeichnet wird.
9. Verfahren nach Anspruch 8, dadurch gekennzeichnet, dass in Abhängigkeit der gemessenen internen Spannung (Vint) ein die interne Spannung (Vint) erzeugender Spannungsgenerator (4) korrigiert wird.

Data supplied from the esp@cenet database - I2

THIS PAGE BLANK (USPTO)



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑫ **Offenlegungsschrift**
⑩ **DE 100 63 102 A 1**

⑤1 Int. Cl.⁷:
G 01 R 31/28
G 11 C 29/00
G 01 R 31/3193

⑲ Aktenzeichen: 100 63 102.9
⑳ Anmeldetag: 18. 12. 2000
㉑ Offenlegungstag: 23. 8. 2001

DE 100 63 102 A 1

⑥⑥ Innere Priorität:
199 61 107. 6 17. 12. 1999
⑦1 Anmelder:
Infineon Technologies AG, 81669 München, DE
⑦4 Vertreter:
Epping, Hermann & Fischer, 80339 München

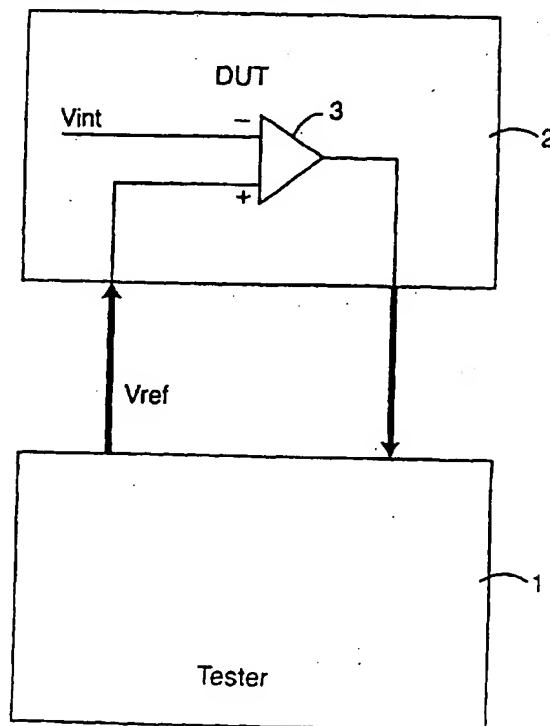
⑦2 Erfinder:
Beer, Peter, 80539 München, DE; Ohlhoff, Carsten,
81737 München, DE

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤4 Anordnung und Messung interner Spannungen in einer integrierten Halbleitervorrichtung

⑤7 Die Erfindung betrifft eine Anordnung zur Messung interner Spannungen in einem DUT (2), bei der in jedem DUT (2) ein Vergleicher (3) vorgesehen ist, der die zu messende interne Spannung (V_{int}) mit einer extern zugeführten Referenzspannung (V_{ref}) vergleicht.



DE 100 63 102 A 1

Die vorliegende Erfindung betrifft eine Anordnung zur Messung interner Spannungen in einer integrierten Halbleitervorrichtung.

In integrierten Halbleitervorrichtungen, wie beispielsweise Speicherchips usw., werden verschiedene interne Spannungen benötigt, die Werte von z. B. 2,3 V, 3,5 V, 0,9 V usw. haben können. Diese internen Spannungen einer integrierten Halbleitervorrichtung müssen vor deren Auslieferung überprüft werden, um einen zuverlässigen Betrieb der integrierten Halbleitervorrichtung gewährleisten zu können. Hierzu werden bisher Tester eingesetzt, in denen jeweils eine Gleichspannungseinheit ("DC Unit") vorgesehen ist, die eine bekannte Gleichspannung (Referenzspannung) an die Halbleitervorrichtung, also beispielsweise einen Speicherchip, anlegt und gleichzeitig die zu überprüfende interne Spannung, im obigen Beispiel die Spannungen von 2,3 V, 3,5 V oder 0,9 V, an einem dafür geeigneten Pad (Kontaktkissen) der Halbleitervorrichtung mißt.

Die zu überprüfenden Halbleitervorrichtungen, auch DUTs ("Device Under Test") genannt, benötigen nun bei Parallelmessungen so viele Gleichspannungseinheiten wie DUTs vorhanden sind: jedem DUT ist für die Parallelmessung seine eigene Gleichspannungseinheit zugeordnet.

Sollen die internen Spannungen einer Vielzahl von Halbleitervorrichtungen, wie beispielsweise von SDRAMs, überprüft werden, so ist für ein paralleles Messen, was Voraussetzung für eine kurze Meßzeit ist, eine ebenso große Anzahl von Gleichspannungseinheiten in dem Tester erforderlich, was diesen äußerst aufwendig macht.

Es ist daher Aufgabe der vorliegenden Erfindung, eine Anordnung zur Messung interner Spannungen in einer integrierten Halbleitervorrichtung zu schaffen, mit der mit geringem Aufwand eine Vielzahl von solchen integrierten Halbleitervorrichtungen parallel gemessen werden kann.

Diese Aufgabe wird bei einer Anordnung der eingangs genannten Art erfindungsgemäß dadurch gelöst, daß in der Halbleitervorrichtung ein Vergleichler vorgesehen ist, an dessen einem Eingang die zu messende interne Spannung liegt, dessen anderer Eingang mit einer von einem externen Tester gelieferten Referenzspannung beaufschlagt ist und dessen Ausgang mit dem externen Tester verbunden ist, der meldet, ob die interne Spannung mit der Referenzspannung übereinstimmt oder nicht. Dabei kann die Referenzspannung dem Vergleichler in diskreten Spannungsschritten oder als Rampensignal zugeführt werden.

Die Erfindung geht damit einen vom bisherigen Stand der Technik vollkommen abweichenden Weg: der Vergleichler, der die zu messende interne Spannung (Vint) mit einer Referenzspannung (Vref) vergleicht, ist in die Halbleitervorrichtung, also das DUT, verlagert, so daß eine Vielzahl von Halbleitervorrichtungen bzw. DUTs ohne weiteres parallel gemessen werden kann, indem die eine extern zugeführte Referenzspannung mit der entsprechenden internen Spannung der jeweiligen Halbleitervorrichtungen verglichen wird. Der zusätzliche Aufwand für den Vergleichler ist relativ gering und erfordert nur wenig Fläche auf der integrierten Halbleitervorrichtung.

Die Referenzspannung wird über ein Pad bzw. Kontaktkissen eingeprägt, und diese Referenzspannung sowie die zu messende interne Spannung werden auf die Eingänge des in der Halbleitervorrichtung vorgesehenen Vergleichlers geleitet. Der Ausgang dieses Vergleichlers wird nach außen gegeben. Das heißt, die Referenzspannung wird von einem externen Tester geliefert, der auch das Ausgangssignal des Vergleichlers aufnimmt. Das Ausgangssignal kann dabei direkt über ein geeignetes Pad an den externen Tester ausgegeben

werden. Alternativ könnte auch ein geeignetes Kontrollsignal (z. B. "high" = Vint ist größer als Vref; "low" = Vint ist kleiner als Vref) über einen der vorhandenen Eingabe/Ausgabe-Kanäle der Halbleitervorrichtung ausgegeben werden.

Liegt nun beispielsweise das Ausgangssignal des Vergleichlers auf einem hohen Pegel, so kann dies bedeuten, daß die interne Spannung niedriger als die Referenzspannung ist. Ist dagegen das Ausgangssignal des Vergleichlers auf einem niedrigen Pegel, so bedeutet dies, daß die interne Spannung höher als die Referenzspannung ist.

Um nun die interne Spannung zu messen, kann entweder die Referenzspannung in diskreten Spannungsschritten eingeprägt werden, wobei nach jedem Spannungsschritt extern durch den Tester überprüft wird, ob sich die interne Spannung und die Referenzspannung in ihren Werten schon gekreuzt haben. Tritt eine solche Überkreuzung ein, so bedeutet dies, daß die interne Spannung im Rahmen der durch die Schrittweiten gegebenen Genauigkeit mit der externen Referenzspannung übereinstimmt.

Eine andere Möglichkeit besteht darin, die Referenzspannung als Rampensignal dem Vergleichler einzuprägen. Dann entspricht die interne Spannung in der Halbleitervorrichtung der Referenzspannung in dem Zeitpunkt, in welchem der Ausgang des Vergleichlers eine Überkreuzung zwischen interner Spannung und Referenzspannung meldet.

Bei dem Vergleichler handelt es sich in bevorzugter Weise um einen Differenzverstärker. Selbstverständlich kann aber für den Vergleichler jede Schaltung gewählt werden, die in der Lage ist, die externe Referenzspannung mit der zu messenden internen Spannung zu vergleichen.

Nachfolgend wird die Erfindung anhand der Zeichnung näher erläutert, in deren einziger Figur ein Blockschaltbild einer Anordnung zur Messung interner Spannungen gezeigt ist.

Ein externer Tester 1 liefert an einem Ausgang eine Referenzspannung Vref zu einem Eingang bzw. Pad einer Halbleitervorrichtung (DUT) 2, in der als Vergleichler ein Differenzverstärker 3 integriert ist. Eine zu messende interne Spannung Vint liegt an einem Eingang dieses Differenzverstärkers 3, während die Referenzspannung Vref dem anderen Eingang des Differenzverstärkers 3 zugeführt ist. Das Ausgangssignal des Differenzverstärkers 3 wird über ein entsprechendes Pad zu dem externen Tester 1 geliefert.

Die Referenzspannung Vref kann entweder in diskreten Spannungsschritten als Stufensignal oder als kontinuierliches Rampensignal dem Differenzverstärker 3 eingeprägt werden. Sobald die Referenzspannung Vref die interne Spannung Vint kreuzt, schaltet das Ausgangssignal des Differenzverstärkers 3 von "hoch" nach "niedrig" oder umgekehrt. Damit kann genau eine Übereinstimmung zwischen Referenzspannung und interner Spannung, also auch die Größe der internen Spannung, festgestellt werden.

Selbstverständlich kann die Referenzspannung parallel an eine Vielzahl von Halbleitervorrichtungen (DUTs) 2 geliefert und deren Ausgangssignale von dem Tester 1 aufgenommen werden. Das heißt, ein paralleles Testen einer Vielzahl von Halbleitervorrichtungen mit nur einer Referenzspannung ist ohne weiteres möglich.

Weiterhin kann auch die von dem Tester 1 gelieferte Referenzspannung variabel gestaltet werden, so daß der Tester 1 beispielsweise Referenzspannungen von 2,3 V, 3,5 V und 0,9 V abgeben kann.

Wird eine Referenzspannung in Spannungsschritten angelegt, so wird die Meßgenauigkeit selbstverständlich um so größer, je kleiner die einzelnen Schritte sind. Eine demgegenüber höhere Genauigkeit läßt sich mit einem Rampensignal als Referenzspannung erzeugen, da dort genau die Überkreuzung zwischen Referenzspannung und interner

Spannung gemessen werden kann.

Durch die Anordnung gemäß der Erfindung wird ermöglicht, eine Vielzahl von integrierten Halbleiterchips parallel zu testen. Die Halbleiterchips sind zum Test üblicherweise auf einer Testplatine angeordnet. Der Tester erzeugt durch einen einzigen Spannungsgenerator eine einzige rampenartig verlaufende Referenzspannung, die sämtlichen parallel zu testenden Chips zugeführt wird. Da nur eine begrenzte Anzahl von Spannungsgeneratoren am Tester verfügbar ist, werden dort Ressourcen gespart. Jeder der zu testenden Chips gibt über den chipinternen Vergleichler 3 einen digitalen Impuls ab. Zum Empfang dieser digitalen Impulse weist der Tester eine Vielzahl von Eingangskanälen auf. Es ist mit der Erfindung daher problemlos möglich, eine Vielzahl von Chips parallel zu testen.

Beispielsweise beträgt der Sollwert der zu testenden Spannung 2,3 V. Es werden jene Chips für gut befunden, deren interne Spannung in einem Toleranzbereich um 2,3 V herumliegt, beispielsweise von 2,2 V bis 2,4 V. Chips, die außerhalb dieses Toleranzbereichs liegende interne Spannungen Vint liefern, werden als unbrauchbar verworfen. Gegebenenfalls können in Abhängigkeit von dem Meßergebnis chipinterne Spannungsgeneratoren nachjustiert, d. h. getrimmt, werden. Die Trimmung erfolgt dadurch, daß Referenzelemente innerhalb der Spannungsgeneratoren mit Fuses zu- bzw. weggeschaltet werden. Auf diese Weise wird ein die interne Spannung Vint erzeugender Generator korrigiert, also getrimmt.

bei dem die integrierten Halbleiterbausteine (2) bezüglich eines Eingangs für die zuzuführende Referenzspannung (Vref) parallel geschaltet werden und bei dem die interne Spannung (Vint) jedes Halbleiterbausteins (2) mit der Referenzspannung (Vref) verglichen wird, um die Höhe der internen Spannung (Vint) zu messen, und bei dem in Abhängigkeit von der gemessenen internen Spannung (Vint) der Halbleiterbaustein (2) als funktionsfähig oder nicht funktionsfähig gekennzeichnet wird.

9. Verfahren nach Anspruch 8, dadurch gekennzeichnet, daß in Abhängigkeit der gemessenen internen Spannung (Vint) ein die interne Spannung (Vint) erzeugender Spannungsgenerator (4) korrigiert wird.

Hierzu 1 Seite(n) Zeichnungen

Patentansprüche

1. Anordnung zur Messung interner Spannungen in einer integrierten Halbleitervorrichtung (2), **dadurch gekennzeichnet**, daß in der Halbleitervorrichtung (2) ein Vergleichler (3) vorgesehen ist, an dessen einem Eingang die zu messende interne Spannung liegt, dessen anderer Eingang mit einer von einem externen Tester (1) gelieferten Referenzspannung (Vref) beaufschlagt ist und dessen Ausgang mit dem externen Tester (1) verbunden ist, der feststellt, ob die interne Spannung (Vint) mit der Referenzspannung (Vref) übereinstimmt oder nicht.
2. Anordnung nach Anspruch 1, dadurch gekennzeichnet, daß der Tester (1) die Referenzspannung (Vref) dem Vergleichler (3) in diskreten Spannungsschritten zuführt.
3. Anordnung nach Anspruch 1, dadurch gekennzeichnet, daß der Tester (1) die Referenzspannung (Vref) dem Vergleichler (3) als Rampensignal zuführt.
4. Anordnung nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß die Referenzspannung (Vref) der Halbleitervorrichtung (2) über ein Pad zugeführt ist.
5. Anordnung nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß sich der Ausgang des Vergleichlers (3) von "hoch" nach "niedrig" bzw. umgekehrt ändert, wenn die Referenzspannung (Vref) die interne Spannung (Vint) im Differenzverstärker (3) kreuzt.
6. Anordnung nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, daß der Vergleichler (3) ein Differenzverstärker ist.
7. Anordnung nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, daß eine Vielzahl von Halbleitervorrichtungen (2) parallel zu dem Tester (1) geschaltet ist.
8. Verfahren zum Testen einer Vielzahl von integrierten Halbleiterbausteinen (2) auf Funktionsfähigkeit,

Fig. 1

